

Original document

# SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP2001044357

Publication date: 2001-02-16

Inventor: SATO HIDEKAZU; KOEDA SHUJI

Applicant: SEIKO EPSON CORP

Classification:

- international: **H01L25/18; H01L25/065; H01L25/07; H01L25/18; H01L25/065; H01L25/07;** (IPC1-7): H01L25/065; H01L25/07; H01L25/18

- European:

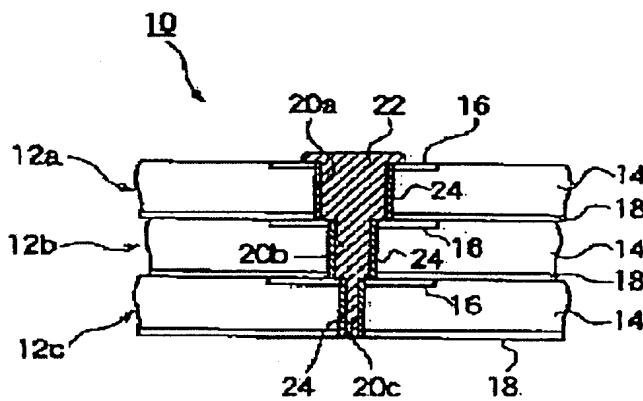
Application number: JP19990211232 19990726

Priority number(s): JP19990211232 19990726

[View INPADOC patent family](#)[View list of citing documents](#)[Report a data error here](#)

## Abstract of JP2001044357

**PROBLEM TO BE SOLVED:** To mutually electrically connect semiconductor chips which are stacked without installing terminal parts at the peripheral edge parts of the semiconductor chips. **SOLUTION:** In a semiconductor device 10, active faces of semiconductor chips 12 (12a to 12c) are turned in the same direction, and they are stacked by making electrode parts 16 correspond to the chips. In the semiconductor chips 12, through-holes 20 (20a to 20c), passing through the electrode parts 16 and semiconductor substrates 14, are formed. The trough-hole 20a is larger than the through-hole 20b, and the through-hole 20b is larger than the through-hole 20c. Steps are formed between the through-holes and a part of the electrode part of the semiconductor chip having the smaller through-hole is exposed to the larger through-hole. Conductive adhesive 22 is installed in the through-holes 20, and the electrode parts 16 of the semiconductor chips 12 are connected electrically.

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-44357

(P2001-44357A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.<sup>7</sup>  
H 01 L 25/065  
25/07  
25/18

識別記号

F I  
H 01 L 25/08テーマコード(参考)  
B

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21)出願番号 特願平11-211232  
(22)出願日 平成11年7月26日 (1999.7.26)

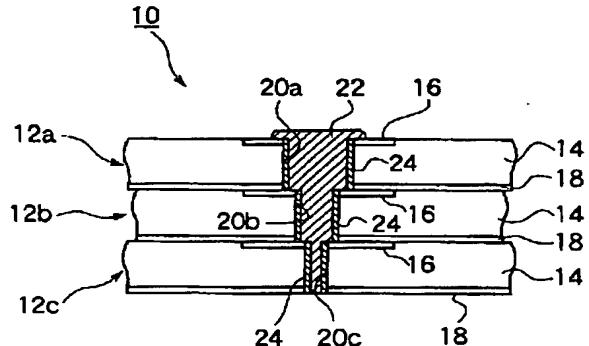
(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 佐藤 英一  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(72)発明者 小枝 周史  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(74)代理人 100093388  
弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

## (57)【要約】

【課題】 半導体チップの周縁部に端子部を設けることなく積層した半導体チップを相互に電気的に接続する。

【解決手段】 半導体装置10は、半導体チップ12(12a～12c)が能動面を同じ向きにして、電極部16を対応させて積層してある。各半導体チップ12は、電極部16と半導体基板14とを貫通した貫通穴20(20a～20c)が形成してある。貫通穴20aは貫通穴20bより大きく、貫通穴20bは貫通穴20cより大きくなっていて、各貫通穴間に段差が形成され、より小さな貫通穴を有する半導体チップの電極部の一部がより大きな貫通穴に露出している。各貫通穴20の内部には、導電性接着剤22が設けてあって、各半導体チップ12の電極部16を電気的に接続している。



10: 半導体装置  
12a～12c: 半導体チップ  
14: 半導体基板  
16: 電極部  
20a～20c: 貫通穴  
22: 导電性接着剤

## 【特許請求の範囲】

【請求項1】 複数の半導体チップが能動面の向きを同じにして積層してある半導体装置において、前記各半導体チップは、それぞれの電極部を対応させて積層されており、各半導体チップの前記電極部と半導体基板とを貫通した貫通穴が設けられ、かつ前記各半導体チップの貫通穴の大きさがこれらの非能動面側に位置する他の前記半導体チップの貫通穴より大きく形成してあるとともに、前記貫通穴内に設けた導電材により前記各半導体チップの前記電極部が相互に電気的に接続してあることを特徴とする半導体装置。

【請求項2】 能動面の向きを同じにして積層した半導体チップを有する半導体装置において、上側半導体チップは、下側半導体チップの電極部と対応した位置に貫通穴を有し、この貫通穴を介してワイヤにより前記下側半導体チップの前記電極部と前記上側半導体チップの電極部とを電気的に接続した、ことを特徴とする半導体装置。

【請求項3】 能動面の向きを同じにして積層した半導体チップを有する半導体装置において、上側半導体チップは、下側半導体チップの電極部と対応した位置に貫通穴を有し、前記下側半導体チップの前記電極部が前記貫通穴に設けた導電材と接続してあるとともに、前記上側半導体チップの電極部がワイヤを介して前記導電材に電気的に接続してある、ことを特徴とする半導体装置。

【請求項4】 非能動面を対向させて積層した半導体チップを有する半導体装置において、前記半導体チップは、少なくとも1つの電極部を対応させて積層されるとともに、対応させた前記電極部と半導体基板とを貫通した貫通穴が設けられ、この貫通穴を挿通した形状記憶合金により、前記各半導体チップの前記電極部を電気的に接続した、ことを特徴とする半導体装置。

【請求項5】 素子が形成してある半導体ウエハまたは半導体チップの複数を、能動面側の向きを同じにして電極部を対応させて積層する工程と、前記電極部と半導体基板とを貫通し、下層の前記半導体チップほど小さな貫通穴を積層した前記半導体チップの能動面側から形成する工程と、前記貫通穴内に導電材を設けて前記各半導体チップの前記電極部を相互に電気的に接続する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項6】 第1の半導体チップの所定位置に貫通穴を形成する工程と、前記第1の半導体チップの非能動面に第2の半導体チッ

プの能動面を対面させ、第2の半導体チップの電極部を前記第1の半導体チップの前記貫通穴に対応させて積層する工程と、

前記貫通孔を介して前記第2の半導体チップの電極部と前記第1の半導体チップの電極部とをワイヤによって電気的に接続する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項7】 第1の半導体チップの所定位置に貫通穴を形成する工程と、

前記第1の半導体チップの非能動面に第2の半導体チップの能動面を対面させ、第2の半導体チップの電極部を前記第1の半導体チップの前記貫通穴に対応させて積層する工程と、

前記貫通穴に導電材を設け、この導電材を前記第2の半導体チップの前記電極部と接続する工程と、

前記導電材と前記第1の半導体チップに設けた電極部とをワイヤによって電気的に接続する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項8】 半導体チップの少なくとも1つの電極部と半導体基板とを貫通した貫通穴を形成する工程と、貫通穴を形成した第1の半導体チップと第2の半導体チップとを、非能動面側を対面させるとともに前記貫通穴を対応させて積層する工程と、

前記貫通穴に所定の形状記憶合金を挿通したのち、形状記憶合金を加熱して形状を回復させ、前記第1の半導体チップと前記第2の半導体チップとの前記電極部を前記形状記憶合金によって電気的に接続する、

工程とを有することを特徴とする半導体装置の製造方法。

## 30 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、複数の半導体チップを有するいわゆるマルチチップパッケージ(MCP)に係り、特に複数の半導体チップを積層したスタックドMCP半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップとすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べた平面型MCPと、複数の半導体チップを厚み方向に積層した積層型(スタックド)MCPとがある。半導体チップを平面的に並べた平面型マルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックドMCPの開発が盛んに行われている。

## 【0003】

【発明が解決しようとする課題】 従来のスタックドMCPは、例えば特開平6-37250号公報に記載されて

いるように、積層した半導体チップを相互に電気的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子部間をワイヤによって接続している。このため、半導体チップ相互の電気的接続が煩雑となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上すると、ワイヤ間の間隔が小さくなつてワイヤ間で短絡を生ずるおそれがある。

【0004】本発明は、前記従来技術の欠点を解消するためになされたもので、半導体チップの周縁部に端子部を設けることなく積層した半導体チップを相互に電気的に接続することを目的としている。

#### 【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る第1の半導体装置は、複数の半導体チップが能動面の向きを同じにして積層してある半導体装置において、前記各半導体チップは、それぞれの電極部を対応させて積層されており、各半導体チップの前記電極部と半導体基板とを貫通した貫通穴が設けられ、かつ前記各半導体チップの貫通穴の大きさがこれらの非能動面側に位置する他の前記半導体チップの貫通穴より大きく形成してあるとともに、前記貫通穴内に設けた導電材により前記各半導体チップの前記電極部が相互に電気的に接続してあることを特徴としている。

【0006】このように構成した本発明は、積層した複数の半導体チップが貫通穴内に設けた導電材により電極部が相互に接続されるため、ワイヤによる接続が不要となつて、各半導体チップ間の電気的接続が容易となる。しかも、各半導体チップの貫通穴は、非能動面側に位置する他の半導体チップの貫通穴より大きく形成されており、隣接した半導体チップの貫通穴間に段差が形成され、非能動面側の半導体チップは、電極部の一部がこの半導体チップの能動面側に位置する半導体チップの貫通穴に露出するため、導電材と電極部との接触面積が大きくなつてより良好な電気的接続を行うことができる。また、貫通穴を介して各半導体チップを電気的に接続するため、半導体チップの周縁部に端子部を設ける必要がなく、積層する半導体チップの数を多くしたとしてもチップの大きさを順次小さくする必要がなく、実装効率を向上することができる。

【0007】そして、本発明に係る第2の半導体装置は、能動面の向きを同じにして積層した半導体チップを有する半導体装置において、上側半導体チップは、下側半導体チップの電極部と対応した位置に貫通穴を有し、この貫通穴を介してワイヤにより前記下側半導体チップの前記電極部と前記上側半導体チップの電極部とを電気的に接続した、ことを特徴としている。このように構成した本発明は、上側半導体チップの貫通穴を介して各半導体チップを電気的に接続することができるため、半導

体チップの周縁部に端子部を形成する必要がない。しかも、端子部を対応させて積層する必要がなく、異なるパターンの半導体チップを積層することが可能で、積層できる半導体チップの自由度が増す。

【0008】また、本発明に係る第3の半導体装置は、能動面の向きを同じにして積層した半導体チップを有する半導体装置において、上側半導体チップは、下側半導体チップの電極部と対応した位置に貫通穴を有し、前記下側半導体チップの前記電極部が前記貫通穴に設けた導電材と接続してあるとともに、前記上側半導体チップの電極部がワイヤを介して前記導電材に電気的に接続してある、ことを特徴としている。この発明においても、第2の発明と同様の効果を得ることができる。また、ワイヤを貫通穴に挿入する必要がないため、電極部間の電気的接続が容易となる。

【0009】さらに、本発明に係る第4の半導体装置は、非能動面を対向させて積層した半導体チップを有する半導体装置において、前記半導体チップは、少なくとも1つの電極部を対応させて積層されるとともに、対応させた前記電極部と半導体基板とを貫通した貫通穴が設けられ、この貫通穴を挿通した形状記憶合金により、前記各半導体チップの前記電極部を電気的に接続した、ことを特徴としている。

【0010】この発明においても、貫通穴を介して形状記憶合金によって各半導体チップを電気的に接続するため、半導体チップの周縁部に端子部を設ける必要がない。そして、貫通穴を複数設けて形状記憶合金の使用数を多くすることにより、形状記憶合金によって各半導体チップを挟持することが可能となり、半導体チップを相互に接合するための接着剤などが不要となる。

【0011】前記した第1の半導体装置を得るための半導体装置の製造方法は、素子が形成してある半導体ウエハまたは半導体チップの複数を、能動面側の向きを同じにして電極部を対応させて積層する工程と、前記電極部と半導体基板とを貫通し、下層の前記半導体チップほど小さな貫通穴を積層した前記半導体チップの能動面側から形成する工程と、前記貫通穴内に導電材を設けて前記各半導体チップの前記電極部を相互に電気的に接続する工程と、を有することを特徴としている。

【0012】また、本発明の第2の半導体装置を得るための半導体装置の製造方法は、第1の半導体チップの所定位置に貫通穴を形成する工程と、前記第1の半導体チップの非能動面に第2の半導体チップの能動面を対面させ、第2の半導体チップの電極部を前記第1の半導体チップの前記貫通穴に対応させて積層する工程と、前記貫通孔を介して前記第2の半導体チップの電極部と前記第1の半導体チップの電極部とをワイヤによって電気的に接続する工程と、を有することを特徴としている。

【0013】そして、本発明の第3に係る半導体装置を得る製造方法は、第1の半導体チップの所定位置に貫通

穴を形成する工程と、前記第1の半導体チップの非能動面に第2の半導体チップの能動面を対面させ、第2の半導体チップの電極部を前記第1の半導体チップの前記貫通穴に対応させて積層する工程と、前記貫通穴に導電材を設け、この導電材を前記第2の半導体チップの前記電極部と接続する工程と、前記導電材と前記第1の半導体チップに設けた電極部とをワイヤによって電気的に接続する工程と、を有することを特徴としている。

【0014】さらに、本発明の第4に係る半導体装置を得る半導体装置の製造方法は、半導体チップの少なくとも1つの電極部と半導体基板とを貫通した貫通穴を形成する工程と、貫通穴を形成した第1の半導体チップと第2の半導体チップとを、非能動面側を対面させるとともに前記貫通穴を対応させて積層する工程と、前記貫通穴に所定の形状記憶合金を挿通したのち、形状記憶合金を加熱して形状を回復させ、前記第1の半導体チップと前記第2の半導体チップとの前記電極部を前記形状記憶合金によって電気的に接続する、工程とを有することを特徴としている。

#### 【0015】

【発明の実施の形態】本発明に係る半導体装置およびその製造方法の好ましい実施の形態を、添付図面に従って詳細に説明する。

【0016】図1は、本発明の第1実施形態に係る半導体装置の一部断面図である。図1において、スタックト型MCPを構成する半導体装置10は、複数(実施形態の場合3つ)の半導体チップ12(12a～12c)が積層してある。そして、各半導体チップ12は、シリコンからなる半導体基板14を有し、半導体基板14の上部に図示しないトランジスタや抵抗、コンデンサなどの素子が形成してあるとともに、電極部16が設けてある。これらの電極部16は、例えばアルミニウムやアルミニウム合金などの導電材によって形成してあって、半導体基板14に形成した配線(図示せず)を介してトランジスタなどの素子に電気的に接続してある。

【0017】各半導体チップ12は、電極部16を設けた能動面の向きが同じ(図の上側)にされ、電極部16を対応させて積層してある。また、各半導体チップ12の非能動面には、シリコン酸化膜などからなる絶縁膜18が形成してあって、上下方向に隣接した半導体基板14間の絶縁が図られている。そして、各半導体チップ12には、電極部16と半導体基板14とを貫通した貫通穴20(20a～20c)が設けてある。これらの貫通穴20は、上層側半導体チップほど大きく形成してあって、下層側半導体チップ12の電極部16の一部が上層側の半導体チップ12の貫通穴20に露出している。

【0018】すなわち、半導体チップ12aは、貫通穴20aが非能動面側に位置する半導体チップ12bの貫通穴20bより大きく形成してあって、半導体チップ12bの電極部16の一部が半導体チップ12aの貫通孔

20aに露出している。このことは、半導体チップ12bと半導体チップ12cについても同様であって、隣接した貫通穴20間に段差が形成されている。

【0019】各貫通穴20の内部には、導電材である導電性接着剤22が設けてあって、各半導体チップ12の電極部16が導電性接着剤22を介して相互に電気的に接続されている。また、各半導体チップ12は、半導体基板14の貫通穴20の壁面を形成している部分に、シリコン酸化膜などからなる絶縁層24が形成してあって、導電性接着剤22と半導体基板14との間が短絡するのを防止している。

【0020】このように形成した第1実施形態に係る半導体装置10は、各半導体チップ12a～12cの対応させた電極部16が、半導体基板14と電極部16とに形成した貫通穴20内に設けた導電性接着剤22によって電気的に接続されているため、各半導体チップ12を電気的に接続するためのワイヤを必要としない。したがって、各半導体チップ12の周縁部に端子部を形成する必要がないため、半導体チップ12の積層数を多くした

としても上方に位置する半導体チップのサイズを小さくする必要がなく、実装効率を高めることができる。しかも、各半導体チップ12に形成した貫通穴20は、下層側(非能動面側)の半導体チップほど小さくなっていて、上下方向に隣接した半導体チップの貫通穴間ににおいて段差が形成され、下層側に位置する半導体チップの電極部16の一部が上層側の半導体チップの貫通穴20に露出しているため、導電性接着剤22と電極部16との接触を容易、確実に行うことができ、電気的接続をより良好に行うことができる。

【0021】さらに、半導体チップ12を相互に電気的に接続するに変形しやすいワイヤを用いないため、電極部16間の間隔を小さくしても短絡などをなくすことができ、各半導体チップ12の素子の集積度を向上することが可能となる。そして、半導体装置10は、各半導体チップ12の貫通穴20内に導電性接着剤22を設けたことにより、各半導体チップ12が導電性接着剤によって相互に結合されるため、半導体チップを相互に接合するための接着剤が不要となる。

【0022】なお、半導体装置10をパッケージの基板に電気的に接続する場合、図1の最上段に位置する半導体チップ12aの電極部16をワイヤボンディングやフェースダウンボンディングして行う。また、最下層の半導体チップ(実施形態の場合、半導体チップ12c)は、貫通穴を設けなくともよい。そして、前記実施の形態においては、導電材が導電性接着剤22である場合について説明したが、導電材は無電解メッキなどで貫通穴20の内部に堆積させた銅やアルミニウムなどの金属であってもよい。また、前記実施形態においては、3つの半導体チップ12a～12cを積層した場合について説明したが、積層する半導体チップの数は2つであっても

4つ以上であってもよい。

【0023】図2は、第1実施形態に係る半導体装置10を製造する方法の1実施形態を説明する工程の要部を示したものである。

【0024】まず、半導体ウエハに通常の方法によりトランジスタなどの素子やアルミニウムなどからなる電極部等を形成する。その後、半導体ウエハの非能動面にPSG (Phospho-Silicate Glass: リンガラス) を塗布して絶縁膜を形成する。次に、図2(a)に示したように、絶縁膜18を形成した半導体ウエハ30(30a~30c)を、電極部16が設けてある能動面側を上にし、電極部16を対応させて積層する。さらに、積層した半導体ウエハ30aの上面にフォトレジストを塗布してフォトリソグラフィー法によって露光、現像してパターニングし、電極部16に対応した部分に穴34を有するフォトレジスト膜32を形成する。

【0025】次に、図2(b)に示したように、パターニングしたフォトレジスト膜32をマスクとして半導体ウエハ30aの電極部16をドライエッチングし、電極部16に貫通穴を形成する。さらに、エッチングガスを変え、フォトレジスト膜32をマスクとして半導体ウエハ30aの半導体基板14と絶縁膜18とをエッチングし、半導体ウエハ30aを貫通した貫通穴20aを形成する(図2(c)参照)。

【0026】その後、フォトレジスト膜32を除去したのち、再び半導体ウエハ30aの上部にフォトレジストを塗布して前記と同様にパターニングし、図2(d)に示したように、フォトレジスト膜32の穴34より小さな穴36を有するフォトレジスト膜38を形成する。そして、フォトレジスト膜38をマスクとして前記と同様にして半導体ウエハ30bのエッチングを行い、半導体ウエハ30bに貫通穴20bを形成し、フォトレジスト膜38を除去する。さらに、半導体ウエハ30bに貫通穴20bを形成したと同様にして半導体ウエハ30cに貫通穴20cを形成する(図2(e)参照)。

【0027】次に、図3(a)に示したように、半導体ウエハ30aの上面と各半導体ウエハ30の貫通穴20の壁面とにテトラエトキシシラン(TEOS)などを用いたCVD法によって絶縁膜24を形成する。その後、半導体ウエハ30aの上方から例えればプラズマを用いた垂直エッチングによって全体をエッチングし、図3

(b)に示したように、半導体ウエハ30aの上面の絶縁膜24を除去するとともに、半導体ウエハ30b、30cの電極部16の貫通穴20a、20bに臨んでいる部分の上に存在する絶縁膜24を除去し、電極部16の上面を露出させる。なお、絶縁膜24の除去は、レーザ光を照射して行ってよい。さらに、各半導体ウエハ30の貫通穴20の内部に本図に図示しない導電性接着剤を注入して硬化させ、各半導体チップ12の電極部16

を相互に電気的に接続する。その後、各半導体ウエハ30を積層した状態でレーザ光などを用いてチップサイズに切断、分割して図1に示した半導体装置10にする。

【0028】なお、前記実施形態においては、半導体ウエハ30を積層した状態で貫通穴20を形成する場合について説明したが、貫通穴20を形成していない半導体チップ12を積層し、上記と同様にして貫通穴20を形成してもよい。また、大きさの異なる貫通穴20が形成してある半導体ウエハ30または半導体チップ12を貫通穴20の中心を合せて複数積層し、貫通穴20に導電性接着剤を注入、硬化させて半導体装置10を得るようにもよい。さらに、前記実施の形態においては、ドライエッチングによって貫通穴20を形成する場合について説明したが、ウェットエッチングによって形成してもよく、レーザ光を用いて形成してもよい。ただし、レーザ光によって貫通穴20を形成した場合、貫通穴20の壁面が荒れ、また溶融物(いわゆるドロス)が付着したりするので、貫通穴20を形成したのちにウェットエッチングなどによって貫通穴20を整形することが望ましい。

【0029】そして、前記実施の形態においては、貫通穴20に導電性接着剤22を注入して電極部16を相互に電気的に接続する場合について説明したが、図4に示したように、ワイヤボンディング装置のキャビラリー41から突出している金ワイヤ48を溶融して溶融部(ボール)49を形成し、その溶融部49を貫通穴20内に挿入し、溶融部49を介して電極部16を相互に電気的に接続するようにもよい。なお、図4に示した符号44は、半導体チップ12の能動面に設けたパッシベーション膜である。そして、この実施形態の場合、各半導体ウエハ30は、電極部16と対応した部分のパッシベーション膜44を除去して電極部16を露出させたのちに積層され、貫通穴20が形成される。

【0030】また、貫通穴20に導電性接着剤22を注入して電極部16を相互に電気的に接続した場合、図5に示したように、最上層の半導体チップ12aの電極部16に延長電極部51を形成するとともに、この延長電極部51に近接して外部接続電極53を形成し、外部接続電極53と延長電極部51とを金ワイヤ48によって接続するとよい。そして、金ワイヤ48の延長電極部51への接続は、超音波接続または加熱接続などにより接続する。このようにすると、導電性接着剤22に金ワイヤ48を直接接続しないため、導電性接着剤22が熱によって劣化するのを防止することができる。

【0031】図6は、第2実施形態に係る半導体装置の一部断面図である。図6(a)に示した半導体装置40は、半導体チップ42aと半導体チップ42bとが積層してある。これらの半導体チップ42(42a、42b)は、それぞれ半導体基板14の上部に素子や配線(いずれも図示せず)などとともに電極部16が設けてあ

る。また、電極部16を設けた能動面には、シリコン酸化膜などから形成したパッシベーション膜44を有し、このパッシベーション膜44の電極部16と対応した部分が除去されて電極部16が露出させてある。そして、各半導体チップ42は、電極部16を設けた能動面側を上にして積層してあって、図示しない接着剤などによって相互に接合して一体化してある。

【0032】第1の半導体チップ(上側半導体チップ)42aは、電極部16の近傍に半導体チップ42aを貫通した貫通穴46が設けてある。また、第2の半導体チップ(下側半導体チップ)42bは、電極部16が貫通穴46に対応していて、貫通穴46の真下に位置している。そして、上側半導体チップ42aと下側半導体チップ42bとの電極部16は、貫通穴46を介して金ワイヤ48によって電気的に接続してある。この金ワイヤ48は、周面に絶縁被膜(図示せず)が設けてあって、金ワイヤ48が貫通穴46の壁面を形成している半導体基板14に接触しても、両者間が短絡しないようにしてある。

【0033】このように構成した第2実施形態の半導体装置40は、上側の半導体チップ42aに設けた貫通穴46を介して上下の半導体チップ42の電極部16を電気的に接続しているため、半導体チップ42の周縁部に端子部を設ける必要がない。また、半導体装置40は、第1の半導体チップ42aに設けた貫通穴46が電極部16と異なる位置となっていて、上下の半導体チップ42の電極部16を対応させて積層する必要がないため、第1の半導体チップ42aと第2の半導体チップ42bとのパターンを任意に形成することが可能で、積層する半導体チップの自由度を大きくすることができる。

【0034】この第2実施形態に係る半導体装置40は、次のようにして製造する。まず、素子や電極部を形成した第1半導体チップ42aの電極部16の近傍に貫通穴46を設ける。この貫通穴46は、周知のドライエッティングやウエットエッティング、またはレーザ光を用いて形成してよい。

【0035】次に、第1半導体チップ42aと第2半導体チップ42bとの電極部16上のパッシベーション膜44をエッティングして除去し、第2の半導体チップ42bの電極部16を第1の半導体チップ42aの貫通穴46と対応させて両者を積層し、接着剤などによって両者を接合する。その後、金ワイヤ48を用いて各半導体チップ42の電極部16を相互に電気的に接続する。

【0036】なお、金ワイヤ48による電極部16の電気的接続は、第2の半導体チップ42b側から行うこと が望ましい。これは、第2の半導体チップ42bの電極部16が貫通穴46の下方に位置していて、ワイヤボンディング装置のキャピラリーを操作できる自由度が小さいことによる。また、貫通穴46の大きさは、電極部16を接続する金ワイヤ48として例えば直径18μmの

ものを使用する場合、60μm以上にすることが望ましい。これは、キャピラリーの先端に金ワイヤ48による溶融ボールを形成する場合、溶融ボールの大きさが金ワイヤ48の直径の3倍程度となることによる。そして、前記実施の形態においては、半導体チップ42を積層する場合について説明したが、第1の半導体チップ42aに分割する前の半導体ウエハに貫通穴46を設け、この半導体ウエハと、第2の半導体チップ42bに分割する前の半導体ウエハとを積層したのち、チップの大きさに切断してもよい。

【0037】図6(b)は、第2実施形態の変形例を示したものである。この半導体装置50は、第1の半導体チップ42aに形成した貫通穴46の壁面にシリコン酸化膜などからなる絶縁膜52が設けてある。また、貫通穴46の内部には、導電材であるアルミニウムや銅などの金属からなるプラグ54が配置してある。このプラグ54は、下端が第2半導体チップ42bの電極部16に接触している。そして、第1の半導体チップ42aの電極部16とプラグ54との間には、金ワイヤ48が設けてあり、第1の半導体チップ42aと第2の半導体チップ42bとの電極部16が金ワイヤ48、プラグ54を介して電気的に接続してある。

【0038】このように形成した半導体装置50は、前記の半導体装置40と同様の効果が得られる。また、半導体装置50は、金ワイヤ48を狭い貫通穴46内に挿入する必要がないために、各半導体チップ42の電極部16の電気的接続が容易となる。そして、この半導体装置50は、次のようにして得ることができる。

【0039】まず、第1の半導体チップ42aに分割する前の素子などを形成した半導体ウエハの所定位置に貫通穴46を設けたのち、貫通穴46の壁面にTEOSなどを用いたCVD法等によって絶縁膜52を形成する。その後、第1の半導体チップ42aと第2の半導体チップ42bとに分割する前の半導体ウエハの、電極部16上のパッシベーション膜44を除去して両者を積層する。なお、この積層は、半導体チップ42の状態にしてから行ってもよい。

【0040】次に、貫通穴46内にメッキなどによって導電性金属からなるプラグ54を形成する。メッキによってプラグ54を形成する場合、蒸着などによって絶縁膜52の表面と半導体チップ42bの電極部16の上面とにチタン(Ti)などの下地金属を形成する。その後、半導体チップ42aの電極部16とプラグ54とを金ワイヤ48によって接続する。この金ワイヤ48による接続は、電極部16とプラグ54とのどちら側から始めてよい。

【0041】図7は、第3実施形態に係る半導体装置の一部断面図である。この半導体装置60は、第1の半導体チップ62aと第2の半導体チップ62bとが電極部16を対応させるとともに、非能動面を対向させた状態

で積層してある。そして、各半導体チップ62(62a、62b)は、対応させた電極部16と半導体基板14とを貫通した貫通穴64が形成してあるとともに、貫通穴64の壁面にシリコン酸化膜などからなる絶縁膜66が設けてある。そして、各半導体チップ62の電極部16は、その面に貫通穴66を貫通している形状記憶合金ワイヤ68の端面が当接している。この形状記憶合金ワイヤ68は、表面に金メッキがしてあって、各電極部16との電気的接続が良好に行えるようにしてある。

【0042】このように構成した半導体装置60は、次のようにして製造する。まず、半導体チップ62a、62bに分割する前の素子や電極部16などを形成した半導体ウエハに貫通穴66を形成する。その後、各半導体ウエハの貫通穴64の壁面に絶縁膜66をCVDなどによって形成する。次に、絶縁膜66を設けた各半導体ウエハの電極部16を対応させ、それぞれの非能動面を対面させて密着させる。そして、貫通穴66に形状記憶合金ワイヤ68を挿通する。この形状記憶合金ワイヤ68は、所定の温度において図7に示したようなC形の形状が記憶させてあり、これを常温において真っ直ぐに引き伸ばしてある。

【0043】そこで、貫通穴64に形状記憶合金ワイヤ68を挿通した状態で半導体ウエハごと形状記憶合金ワイヤ68を所定の温度に加熱し、形状記憶合金ワイヤ68の記憶を回復させる。これにより、形状記憶合金ワイヤ68がC形に変形し、図7に示したように、形状記憶合金ワイヤ68の端面が各半導体ウエハに設けた電極部16に当接する。その後、半導体ウエハをチップの大きさに切断することにより、半導体装置60が得られる。

【0044】形状記憶合金ワイヤ68を所定の温度に加熱する場合、図8(a)に示したように、半導体ウエハ70a、70bを立てた状態に支持し、形状記憶合金ワイヤ68が貫通穴64から脱落しないようにする。また、図8(b)に示したように、半導体ウエハ70a、70bを横に配置するとともに、半導体ウエハ70bをベース72から所定の距離だけ浮かした状態に支持し、貫通穴64を挿通させた形状記憶合金ワイヤ68の下端をベース72に接触させた状態で加熱するようにしてもよい。

【0045】なお、金メッキした形状記憶合金ワイヤ68の中間部に絶縁皮膜を形成し、貫通穴64の壁面への絶縁膜66の形成を省略してもよい。これにより、絶縁膜66を成膜する工程を省略することができ、製造工程の簡略化が図れる。また、形状記憶合金ワイヤ68は、記憶させた形状がS字状であってもよいし、端部の周面が電極部16に当接するようにしてもよい。さらに、前記実施形態においては、半導体ウエハの状態で非能動面を合せるようにした場合について説明したが、半導体チップ62a、62bにしてから非能動面を合せるようにしてもよい。そして、貫通穴64の数を多くして形状記

憶合金ワイヤ48を複数使用する場合には、半導体チップ62a、62が形状記憶合金ワイヤ68によって挟持されるため、半導体チップ62を接着剤などによって相互に接合する必要がなく、工程を簡略化できる。

#### 【0046】

【発明の効果】以上に説明したように、本発明の第1に係る半導体装置によれば、積層した複数の半導体チップが貫通穴内に設けた導電材により電極部が相互に接続されるため、ワイヤによる接続が不要となって、半導体チップの周縁部に端子部を設ける必要がなく、積層する半導体チップの数を多くしたとしてもチップの大きさを順次小さくする必要がなく、実装効率を向上することができる。しかも、各半導体チップの貫通穴は、非能動面側に位置する他の半導体チップの貫通穴より大きく形成されており、隣接した半導体チップの貫通穴間に段差が形成され、非能動面側の半導体チップは、電極部の一部がこの半導体チップの能動面側に位置する半導体チップの貫通穴に露出するため、導電材と電極部との接触面積が大きくなつてより良好な電気的接続を行うことができ

る。

【0047】また、本発明の第2、第3に係る半導体装置によれば、上側半導体チップの貫通穴を介して各半導体チップを電気的に接続することができるため、半導体チップの周縁部に端子部を形成する必要がない。しかも、端子部を対応させて積層する必要がなく、異なるパターンの半導体チップを積層することが可能で、積層できる半導体チップの自由度が増す。

【0048】さらに、本発明の第4に係る半導体装置によれば、貫通穴を介して形状記憶合金によって各半導体チップを電気的に接続しているため、半導体チップの周縁部に端子部を設ける必要がない。そして、貫通穴を複数設けて形状記憶合金の使用数を多くすることにより、形状記憶合金によって各半導体チップを挟持することができるようになり、半導体チップを相互に接合するための接着剤などが不要となる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施の形態に係る半導体装置の一部断面図である。

【図2】第1実施形態に係る半導体装置の製造方法の1実施形態を示す要部工程図の一部である。

【図3】第1実施形態に係る半導体装置の製造方法の1実施形態を示す要部工程図の一部であって、図2の工程に続く工程である。

【図4】貫通穴に導電材を配置する他の実施形態の説明図である。

【図5】実施形態に係る電極部と外部接続電極との電気的接続方法の説明図である。

【図6】本発明の第2実施形態に係る半導体装置の一部断面図である。

【図7】本発明の第3実施の形態に係る半導体装置の一

13

部断面図である。

【図8】実施の形態に係る形状記憶合金ワイヤの支持方法の説明図である。

## 【符号の説明】

10、40、50、60 半導体装置

12a～12c 半導体チップ

14 半導体基板

16 電極部

20a～20c 貫通穴

22 導電材（導電性接着剤）

30a～30c 半導体ウエハ

42a、42b、62a、62b 半導体チップ

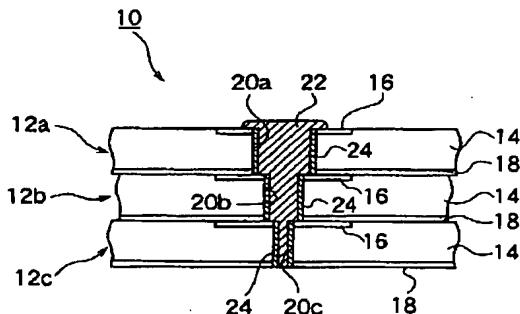
46、64 貫通穴

48 ワイヤ（金ワイヤ）

54 導電材（プラグ）

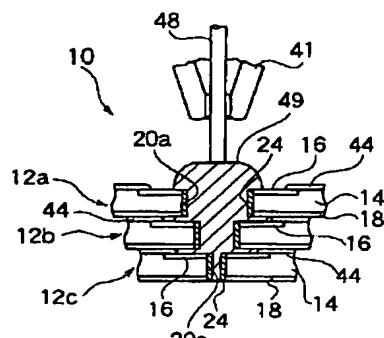
68 形状記憶合金（形状記憶合金ワイヤ）

【図1】

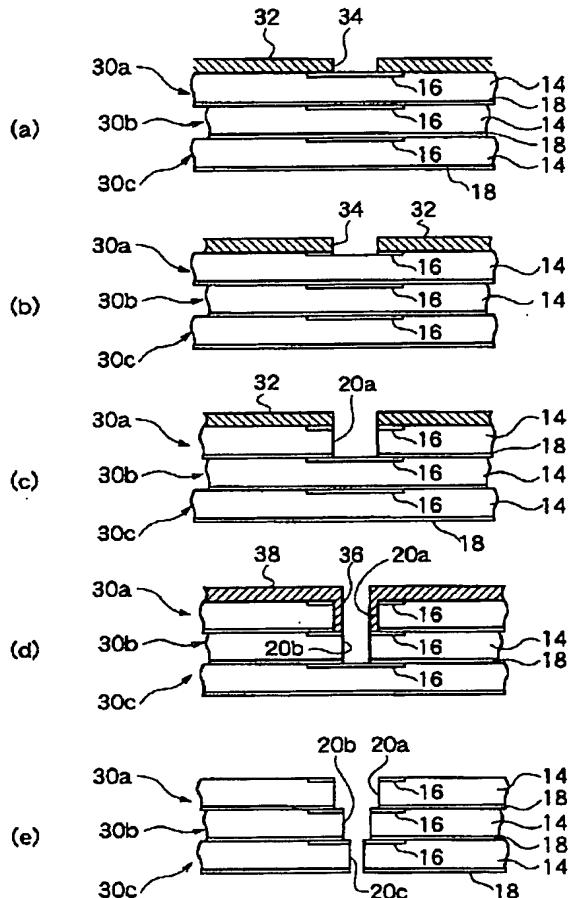


10: 半導体装置  
12a～12c: 半導体チップ  
14: 半導体基板  
16: 電極部  
20a～20c: 貫通穴  
22: 導電性接着剤

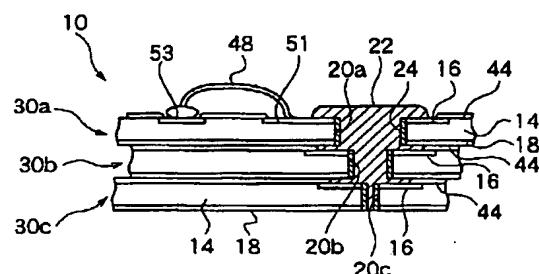
【図4】



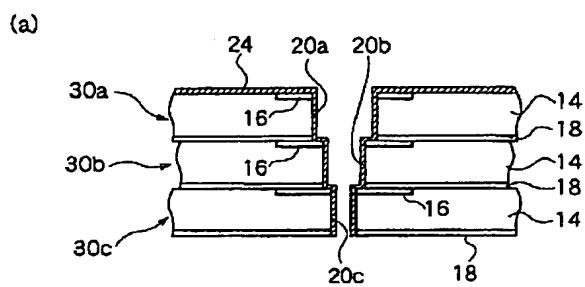
【図2】



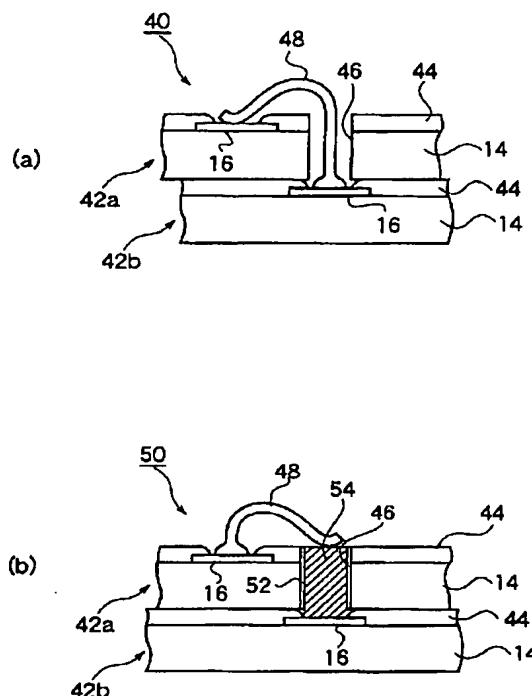
【図5】



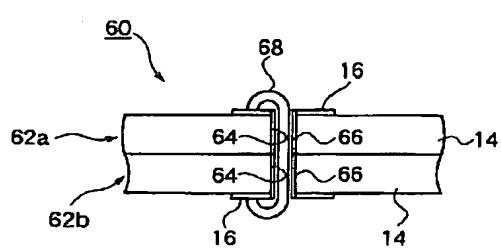
【図3】



【図6】



【図7】



【図8】

